

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-135243

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

H01J 11/02
H01J 11/00

(21)Application number : 11-312568

(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.11.1999

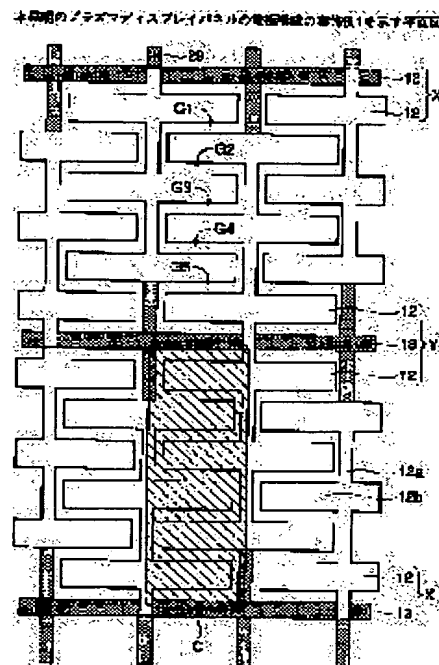
(72)Inventor : SEO YOSHIHO
HASHIMOTO YASUNOBU

(54) PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To improve emission efficiency in the plasma display panel to reduce its power consumption by reducing the area of electrode relative to the discharge gap, while suppressing light shutoff with metal electrodes, and giving a structure that generates discharge at least from two directions of the electrode.

SOLUTION: This plasma display panel is constituted with a plurality of electrodes for generating plane discharge at inner surface of one of paired substrates, equipped with the major electrode being linear with each electrodes horizontally arranged, the first branch electrodes extended from the major electrode and a plurality of the second branch electrodes extended from the first branch electrodes mutually adjacent so as to alternately enter in with each other, and provided with a plurality of discharge gaps between a plurality of the second branch electrodes neighboring within a single cell.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-135243

(P2001-135243A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 J 11/02
11/00

H 0 1 J 11/02
11/00

B 5 C 0 4 0
K

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願平11-312568

(22) 出願日 平成11年11月2日 (1999.11.2)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 瀬尾 欣穂

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 橋本 康宜

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100065248

弁理士 野河 信太郎

最終頁に続く

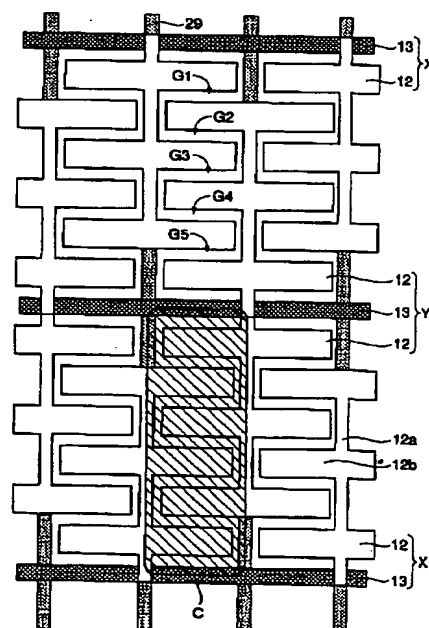
(54) 【発明の名称】 プラズマディスプレイパネル

(57) 【要約】

【課題】 プラズマディスプレイパネルに関し、金属電極による遮光をおさえつつ、放電ギャップに対する電極面積小さくするとともに、電極の少なくとも2方向から放電を発生させる構造とすることで、放電の発光効率を向上させて、消費電力を低減する。

【解決手段】 一対の基板の一方側の内側面に設けられた面放電発生用の複数の電極を備え、各電極が、水平方向に配置された直線状の主電極と、主電極から延出された第1枝電極と、互いに隣接する各第1枝電極から互いに入り込むように交互に延出された複数の第2枝電極を具備し、1つのセル内において隣接する複数の第2枝電極間で複数の放電ギャップを設けた構成とする。

本発明のプラズマディスプレイパネルの電極構成の実施例を示す平面図



【特許請求の範囲】

【請求項1】 一対の基板の一方側の内側面に設けられた面放電発生用の複数の電極を備え、各電極が、水平方向に配置された直線状の主電極と、主電極から延出された第1枝電極と、互いに隣接する各第1枝電極から互いに入り込むように交互に延出された複数の第2枝電極を具備してなり、

1つのセル内において隣接する複数の第2枝電極間で複数の放電ギャップが設けられてなるプラズマディスプレイパネル。

【請求項2】 主電極が金属電極からなり、第1枝電極が金属電極と透明電極または金属電極と透明電極とのいずれか一方からなり、第2枝電極が透明電極からなる請求項1記載のプラズマディスプレイパネル。

【請求項3】 一対の基板の他方側の内側面に主電極と交差する方向に設けられセルの領域を画定するためのストライプ状の複数の隔壁をさらに備え、第1枝電極が、その隔壁と平面的に重なるように設けられていることを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項4】 面放電発生用の一方側の電極の第2枝電極とそれに対向する他方側の電極の第1枝電極との間に放電を抑制する障壁が設けられていることを特徴とする請求項3記載のプラズマディスプレイパネル。

【請求項5】 第2枝電極上に、その電極上を移動する放電を抑制する障壁が設けられていることを特徴とする請求項3記載のプラズマディスプレイパネル。

【請求項6】 第2枝電極に、その電極上を移動する放電を抑制する空孔が設けられていることを特徴とする請求項3記載のプラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル（PDP）に関し、さらに詳しくは、パネルを構成する一対の基板の一方の内側面に面放電発生用の複数の電極を備えたPDPに関する。

【0002】

【従来の技術】PDPは、一対の基板（通常はガラス基板）を微小な間隔を設けて対向配置し、周囲を封止することによって内部に放電空間を形成した自己発光型の表示パネルである。

【0003】図19は従来のPDPの構成を示す斜視図であり、従来のPDPとしてAC駆動方式の3電極面放電型のPDPを例に挙げて説明する。

【0004】図において、10はPDPであり、ガラスからなる前面側の基板11と背面側の基板21とから構成されている。

【0005】前面側の基板11の内側面上には、表示ラインL毎に面放電発生用の一対の主電極（表示用の維持放電を発生するのでサスティン電極とも呼ばれる）X、

Yが水平方向にはほぼ平行に配置され、その上に誘電体層17、及びMgOからなる保護膜18が形成されている。サスティン電極X、Yは、前面側の基板に設けられるため、ITOからなる透明電極12とCr/Cu/Crからなる金属電極（バス電極）13とで形成されている。

【0006】背面側の基板21の内側面上には、下地層22、アドレス放電発生用の複数のアドレス電極（データ電極）A、及び誘電体層24が順次形成され、その上にアドレス電極Aを挟むように放電を物理的に区分するための高さ100～200μm程度のストライプ状の多数の隔壁（リブ）29が垂直方向（サスティン電極と交差する方向）にはほぼ平行に設けられており、隔壁間の細長い溝内には蛍光体層28R、28G、28Bが形成されている。3色の配置パターンは、1列のセルの発光色が同一でかつ隣接する列どうしの発光色が異なるストライプパターンである。

【0007】放電空間30には主成分のネオンにキセノンを混合した放電ガスが充填されており（封入圧力は約500Torr）、蛍光体層28R、28G、28Bは放電時にキセノンが放つ紫外線によって局部的に励起されて発光する。

【0008】図20はPDP10の平面図である。この図に示すように、面放電の際に対となるサスティン電極Xとサスティン電極Yは、それぞれ放電ギャップGを介して配置されている。また、サスティン電極X、Yとサスティン電極X、Yの間には、放電ギャップGよりも間隔の広いギャップ（一般に「逆スリット」と呼ばれる）Fが設けられ、この間での放電を防止するようにしている。表示の1セルCは図中斜線で示す領域となる。サスティン電極Yは点灯セルを選択する際のスキャン電極として用いられる。

【0009】表示は、アドレス電極Aとサスティン電極（スキャン電極）Yとの間で点灯セルを選択するための放電（一般にアドレス放電と呼ばれる）が発生した後、その残留壁電荷を利用して、サスティン電極Yからサスティン電極Xに向けて表示放電（サスティン放電とも呼ばれる）が発生された後、次にサスティン電極Xからサスティン電極Yに向けて表示放電が発生され、これが各セルの輝度に応じた回数だけ繰り返されて表示が行われる。

【0010】

【発明が解決しようとする課題】上記したようなサスティン電極X、Y間で面放電を発生させるタイプのPDPでは、面放電発生の際、セル内の放電の発光は、放電ギャップの放電部分で大きく、そこから離れるにしたがって急激に弱くなっていく。

【0011】したがって、放電の発光効率を高めるには、放電ギャップに対して電極面積を小さくする、あるいは放電の移動を妨げるための障壁を設ける等の、放電

の発光部分の移動が少ない構造が有効であると考えられる。

【0012】本発明は、このような事情を考慮してなされたもので、金属電極による遮光をおさえつつ、放電ギャップに対する電極面積小さくするとともに、電極の少なくとも2方向から放電を発生させる構造とすることで、放電の発光効率を向上させて、消費電力を低減するようにしたプラズマディスプレイパネルを提供するものである。

【0013】

【課題を解決するための手段】本発明は、一対の基板の一方側の内側面に設けられた面放電発生用の複数の電極を備え、各電極が、水平方向に配置された直線状の主電極と、主電極から延出された第1枝電極と、互いに隣接する各第1枝電極から互いに入り込むように交互に延出された複数の第2枝電極を具備してなり、1つのセル内において隣接する複数の第2枝電極間で複数の放電ギャップが設けられてなるプラズマディスプレイパネルである。この電極構成により、放電ギャップに対する電極面積を小さくして、放電の広がりや抑制することができ

る。

【0014】

【発明の実施の形態】本発明のプラズマディスプレイパネルの電極構造は、電極間で面放電を発生させるタイプのPDPであれば、どのようなPDPであっても適用可能である。

【0015】本発明において、一対の基板としては、ガラス、石英、シリコン等の基板や、これらの基板上に、電極、絶縁膜、誘電体層、保護膜等の所望の構成物を形成した基板が含まれる。

【0016】面放電用の複数の電極は、各電極が、水平方向に配置された直線状の主電極と、主電極から延出された第1枝電極と、互いに隣接する各第1枝電極から互いに入り込むように交互に延出された複数の第2枝電極から構成される。

【0017】第1枝電極は主電極から延出されるが、この電極の延出は、放電ギャップに対して電極面積を小さくするためのものであり、この作用が満足されれば、必ずしも直角方向に延出される必要はなく、いずれの方向に延出されてもよい。第2枝電極は、互いに隣接する各第1枝電極から互いに入り込むように交互に延出されるが、これも必ずしも直角方向に延出される必要はなく、いずれの方向に延出されてもよい。

【0018】主電極は、配線抵抗を低下させる意味あいからは金属電極で構成することが望ましい。第1枝電極は、金属電極と透明電極とのいずれで形成してもよく、また、金属電極と透明電極を重ねて形成してもよいが、隔壁と重なる位置に設けるのであれば金属電極で構成することが望ましく、放電領域に設けるのであれば透明電極で構成することが望ましい。

【0019】隔壁は必ずしも設ける必要はないが、一対の基板の他方側の内側面に、主電極と交差する方向にストライプ状の複数の隔壁を設け、この隔壁でセルの領域を画定するようにしてもよい。

【0020】その場合、放電による発光の遮光を防止する意味では、その隔壁と平面的に重なるように第1枝電極を設けることが望ましい。

【0021】本発明においては、電極面積に対して放電領域を広くして、発光の効率を向上させるために、1つのセル内において隣接する複数の第2枝電極間で複数の放電ギャップを設けることが望ましい。

【0022】以下、図面に示す実施例に基づいて本発明を詳述する。なお、これによって本発明が限定されるものではない。

【0023】図19および図20で説明したように、サスティン電極X、Y間で面放電を発生させるタイプのPDPでは、面放電発生の際、セル内の放電の発光は、放電ギャップの放電部分で大きく、そこから離れるにしたがって急激に弱くなっていく。

【0024】このような放電発光過程を詳細に観察すると、一つの放電による発光は、まず、放電ギャップ部分で強く起こり、その後、陰極上を放電部分から遠ざかるように移動する。そして、表示放電はサスティン電極X、Y間で交互に行われるので、この放電の発光が、陰極、陽極のそれぞれの位置関係が入れ替わりながら繰り返され、これにより発光が維持される。

【0025】このように、陰極上を発光部が移動して発光が弱くなるために、長時間の観察では、放電の位置で発光が強く、放電の位置から離れると発光が弱くなる。このことから、放電の発光効率を高めるには、放電ギャップに対して電極面積を小さくする、あるいは放電の移動を妨げるための障壁を設ける等の、放電の発光部分の移動が少ない構造が有効であると考えられる。その事を確認するために、以下のようにして放電の発光状態を調べた。

【0026】まず、図1に示すような電極構造のPDPを用意した。図では前面側の基板11と背面側の基板21は省略し、前面側の基板11に設けたサスティン電極X、Yと、背面側の基板21に設けた隔壁29との平面的な位置関係だけを示している。

【0027】このPDPは、サスティン電極Xとサスティン電極Yが、ともに透明電極12の中央に金属電極13が設けられた構造であり、サスティン電極Xとサスティン電極Yは、すべて等間隔で配置されている。

【0028】このような構造のPDPを用いて、図2と図3に示す状態で放電を発生させて発光効率を測定した。すなわち、図2に示すように、隣り合うサスティン電極X、Yどうしを同じ電位で駆動した場合（以下駆動A）と、図3に示すように、それぞれサスティン電極X、Yとして駆動した場合（以下駆動B）とで、発光効

率を測定した。

【0029】駆動Aの場合は、電極S1、電極S2間（放電ギャップG1）および電極S3、電極S4間（放電ギャップG3）では電位差がなく、電極S2、電極S3間（放電ギャップG2）に電位差が生じ、この間で放電が発生される。放電は放電ギャップG2を中心におこり、図中斜線で示す放電領域Hが発光する。つまり駆動Aの場合、S2全体がX電極、S3全体がY電極となり、G2を放電ギャップとするような1セルが構成されることになる。

【0030】駆動Bの場合、S1bをX電極、S2aをY電極とし、G1を放電ギャップとするような放電領域Hができ、同様にG2を放電ギャップとし、G3を放電ギャップとするような放電領域ができる。放電は図中、放電ギャップG1、G2、G3の3箇所でおこり、図中斜線で示す放電領域Hが発光する。

【0031】駆動Aと駆動Bを比べると、放電に関与する電極の面積と、発光領域の面積はほぼ等しく、ギャップの幅も等しい。しかし、1つの放電スリットに対する電極の面積は駆動Aの方が倍近く大きい。そのため放電による発光は長距離を移動することになる。

【0032】さらに、駆動Bでは電極を共通とする異なる2つの放電があり、壁電荷は電極の2つの方向から形成され、双方向から進展する放電によってそれぞれの放電の広がりが抑制される。

【0033】この発光効率の測定結果を図4および図5に示す。図4はサステイン電圧-消費電力の関係を示したグラフであり、図5はサステイン電圧-効率の関係を示したグラフである。

【0034】駆動Aと駆動Bとを、図4に示した消費電力のサステイン電圧依存性について比較すると、駆動Bのほうが10%程度少ないが、同じサステイン電圧依存性を示している。このことより、サステイン電圧によって放電に関与する電極の面積が変化することはないものと思われる。

【0035】駆動Aと駆動Bとを、図5で示す効率のサステイン電圧依存性について比較すると、サステイン電圧170V～200V付近では駆動Bの効率は駆動Aよりも低くなっているが、220V程度のサステイン電圧においては、駆動Bの効率は駆動Aのどの状態よりも高くなっている。前述の消費電力の結果より、この効率の改善は輝度の向上によるものと考えられる。駆動Bについては、低サステイン電圧で駆動させたとき、たとえば放電ギャップG1、G3の部分は発光しているが、放電ギャップG2の部分は発光していないといった現象が観測される。この現象を放電干渉という。

【0036】この駆動Bにおける低サステイン電圧駆動時に放電干渉が起こる要因について考慮した場合、このような状態になるサステイン電圧は駆動電圧のマージン内にある。よって、各電極ギャップ放電開始電圧のばら

つきによる非点灯ではなく、電極を共通とする異なるギャップでの放電、つまり非点灯部分が放電ギャップG2であれば、電極S2を共通としている放電ギャップG1での放電が影響していることになる。

【0037】各電極ギャップでのばらつきには、他に放電遅れがあり、これを考えあわせて、図6に示す各電極の電位の模式図を用いて説明する。たとえば、放電ギャップG2の部分が放電ギャップG1、G3に比べて遅れが大きいとする。この場合、①サステイン電圧が印加されると、②放電ギャップG1、G3の部分で放電が始まり、③少し遅れて放電ギャップG2で放電が起きることになる。

【0038】②において、○印の部分は、電極上の電荷の移動、放電の広がりなどによって壁電荷が形成されたために、放電ギャップG2にかかる実効的な電位差が減少すると予想できる。印加電圧が十分に高い場合は、放電ギャップG2での放電が起きるが、低いと、②の時点での電位差の減少によって、放電ギャップG2での放電が起きず、放電ギャップG1、G3での放電のみとなる。

【0039】このような観点から、駆動Bのような電極構成で駆動を行うと、高サステイン電圧において効率が向上することがわかる。ただし、低サステイン電圧において、電荷のリーク、放電の広がりのため、放電干渉がおこる可能性がある。したがって、放電の広がりを抑え、放電干渉を抑制するセル構造が望ましい。以上より、電極面積に対して放電ギャップを多くとる、もしくは放電の進展距離を小さくすることが、高効率化の有効な手段であることが確認できた。

【0040】図7は1つの放電ギャップを有するサステイン電極と複数の放電ギャップを有するサステイン電極との比較を示す説明図である。PDPにおいて、1つのセルの大きさは画素数と画面の大きさによって決定される要素である。したがって、放電ギャップに対する電極面積を小さくするには、図7(a)で示すような、1つのセルC中に1つの放電ギャップG1が形成され従来タイプのサステイン電極X、Yを、図7(b)で示すような、1つのセルC中に3つの放電ギャップG1、G2、G3が形成されたサステイン電極X、Yに変更することが考えられる。つまり図2で示した電極群を縦方向に縮小し、1つのセル内に複数の電極対が存在するような形状にすることが考えられる。なお、このような電極形状は特開平5-266800号公報に示されている。

【0041】しかし、図7(b)で示すような電極構成にすると、セルCの中央部に金属電極13が位置することになるため、放電によって得られた発光が金属電極13によって遮られ、発光の強い部分が無駄になってしまう。これを解決するため、本発明においては、以下の実施例で示すような、金属電極で発光を遮らず、かつ放電ギャップに対する電極面積の小さい構成のプラズマディ

スプレイパネルとする。

【0042】〔実施例1〕図8は本発明のプラズマディスプレイパネルの電極構成の実施例1を示す平面図である。本例においては、サスティン電極X、Yを、Cr/Cu/Crからなる金属電極（バス電極）13とITOからなる透明電極12とで構成する。金属電極13は直線的な帯状のものを、画面に対して水平方向に平行に配列する。

【0043】そして、透明電極12を、金属電極13から直角方向に延出された第1枝電極12aと、第1枝電極12aから直角方向に延出された第2枝電極12bとで構成する。第1枝電極12aは平面的にみた場合、隔壁29と重なる位置に配置される。

【0044】サスティン電極X、Y以外の構成は、図19で示した従来の3電極面放電型のPDPと同じである。

【0045】1つのセルC内では、サスティン電極Xとサスティン電極Y間で5つの放電ギャップG1、G2、G3、G4、G5が形成されるので、この5箇所の放電ギャップで放電が発生される。

【0046】このような電極構成にすると、セルC内の中央部に金属電極がないので発光が遮られず、かつ1セルC内の放電ギャップの総面積を増やすことができるので、発光効率を向上させることができる。

【0047】〔実施例2〕図9は本発明のプラズマディスプレイパネルの電極構成の実施例2を示す平面図である。本例の電極構成は、基本的には実施例1と同じであるが、異なるのは第1枝電極12aを金属電極で形成している点である。実施例1で示した構成では、第1枝電極12aが細いので配線抵抗が問題となるが、本実施例のように、第1枝電極12aを金属電極にすることで、配線抵抗を下げるができる。この第1枝電極12aは隔壁29上に重ねて配置されているので、第1枝電極12aを金属電極にしても放電時の発光は遮られず、非常に有効である。第1枝電極12aは透明電極と金属電極とを重ねて形成してもよい。

【0048】〔実施例3〕図11は本発明のプラズマディスプレイパネルの電極構成の実施例3を示す平面図である。図は1セルだけを拡大して示しており、5箇所の放電ギャップG1、G2、G3、G4、G5の位置は先の実施例と同様である。

【0049】実施例1および2で示した電極構成では、放電ギャップはX電極とY電極の第2枝電極12bどうしの間に形成される。この放電面積を広くするには、図10に間隔K（横線の○印）で示すように、サスティン電極X（またはサスティン電極Y）側の電極の第2枝電極12bの先端部と、その先端部に対向するサスティン電極Y（またはサスティン電極X）側の電極の第1枝電極12aとの間隔Kを狭くする必要がある。また、この部分における放電の特性が変化するために、動作マージ

ンが悪くなることがある。したがって、この間隔Kにおける放電の抑制のために、本実施例のように、第2枝電極12bの先端部と第1枝電極12aとの間に放電抑制用の隔壁29aを設ける。この放電抑制用の隔壁29aは前面側の基板と背面側の基板のどちらに設けてもよい。

【0050】〔実施例4〕図12は本発明のプラズマディスプレイパネルの電極構成の実施例4を示す平面図である。本実施例においては、放電干渉を抑制するために、各放電ギャップG1、G2、G3、G4、G5を区画するように、第2枝電極12bの中央に放電区画用の隔壁29bを設けた構造となっている。第2枝電極12bの中央に隔壁29bを配置することによって、放電を分離することができ、放電干渉を緩和することができる。この放電区画用の隔壁29bは、前面側の基板と背面側の基板のどちらに設けてもよく、両方に設けてもよい。

【0051】〔実施例5〕図13は本発明のプラズマディスプレイパネルの電極構成の実施例5を示す平面図である。本実施例においては、実施例3と実施例4の両方の作用を満足させる。つまり、一方の電極の第2枝電極12bの先端部と、他方の電極の第1枝電極12aとの間における放電を抑制し、かつ第2枝電極12bにおける放電の干渉を抑制する。

【0052】この双方を満足させるために、本実施例においては、一方の電極の第2枝電極12bの先端部と他方の電極の第1枝電極12aとの間に放電抑制用の隔壁29aを設けるとともに、一方の電極の第2枝電極12bの中央に放電区画用の隔壁29bを設けた構造としている。これにより、第2枝電極12bの先端部と第1枝電極12aとの間の放電と、第2枝電極12bにおける放電干渉との双方を抑制することができる。

【0053】〔実施例6〕図14は本発明のプラズマディスプレイパネルの電極構成の実施例6を示す平面図である。本実施例においては、実施例4と同様の目的のために、実施例4の放電区画用の隔壁29bに代えて、第2枝電極12bの中央に空孔29cを設けた電極構造となっている。この空孔29cの部分は透明電極が取り除かれた構造となっている。この空孔部分のために、放電が分離でき、また電荷の移動が緩和できる。このことによって、放電干渉を緩和することができる。

【0054】〔実施例7〕図15は本発明のプラズマディスプレイパネルの電極構成の実施例7を示す平面図である。本実施例においては、実施例3と実施例6の両方の作用を満足させる。つまり、一方の電極の第2枝電極12bの先端部と、他方の電極の第1枝電極12aとの間の放電を抑制し、かつ第2枝電極12bにおける放電干渉を抑制する。

【0055】この双方を満足させるために、一方の電極の第2枝電極12bの中央に空孔29cを設けるととも

10

20

30

40

50

に、一方の電極の第2枝電極12bの先端部と他方の電極の第1枝電極12aとの間に放電抑制用の隔壁29aを設けた構造としている。これにより、第2枝電極12bの先端部と第1枝電極12aとの間の放電と、第2枝電極12bにおける放電干渉との双方を抑制することができる。

【0056】【実施例8】図16は本発明のプラズマディスプレイパネルの電極構成の実施例8を示す平面図である。本実施例においては、一方の電極の第2枝電極12bと他方の電極の第1枝電極12aとの間の放電を有効利用しつつ、放電ギャップの面積を増加させるため、一方の電極の第2枝電極12bと他方の電極の第1枝電極12aとの間に透明電極で第3電極部14を形成した構成となっている。

【0057】この第3電極部14を形成した構成にすることにより、一方の電極の第2枝電極12bと他方の電極の第1枝電極12aとの間における放電を利用することができ、発光効率を向上させることができる。

【0058】【実施例9】図17は本発明のプラズマディスプレイパネルの電極構成の実施例9を示す平面図である。本実施例においては、実施例8の構成に加えて、第2枝電極12bの中央に放電区画用の隔壁29bを設けた構造としている。これにより、第2枝電極12bにおける放電の干渉を抑制する。この放電区画用の隔壁29bは、前面側の基板と背面側の基板のどちらに設けてもよく、両方に設けてもよい。

【0059】【実施例10】図18は本発明のプラズマディスプレイパネルの電極構成の実施例10を示す平面図である。本実施例においては、第2枝電極12bから、さらに第3枝電極12cと第4枝電極12dが延出された構成となっている。第3枝電極12cと第4枝電極12dは透明電極で形成されている。

【0060】このような、枝電極どうしが一定の放電ギャップを保ちつつ、複雑に絡み合う電極構成にすることにより、一層放電ギャップに対する電極面積を小さくすることができ、発光効率を向上させることができる。

【0061】このようにして、金属電極による発光の遮光をおさえつつ、放電ギャップに対する電極面積を小さくするとともに、電極の少なくとも2方向から放電を発生させる電極構成とすることにより、放電ギャップに対する電極面積を小さくして、放電の広がりを抑制することができるので、放電の発光効率を向上させて、消費電力を低減することができる。

【0062】

【発明の効果】本発明によれば、面放電発生用の各電極を、水平方向に配置された直線状の主電極と、主電極から延出された第1枝電極と、互いに隣接する各第1枝電極から互いに入り込むように交互に延出された複数の第2枝電極で構成したので、放電ギャップに対する電極面積を小さくして、放電の広がりを抑制することができ、

これにより放電の発光効率を向上させて、消費電力を低減することができる。

【図面の簡単な説明】

【図1】本発明における放電の発光効率を調べるためのPDPの電極構造を示す平面図である。

【図2】本発明における放電の発光効率を調べるための駆動Aを示す説明図である。

【図3】本発明における放電の発光効率を調べるための駆動Bを示す説明図である。

【図4】駆動Aと駆動Bにおけるサステイン電圧-消費電力の関係を示したグラフである。

【図5】駆動Aと駆動Bにおけるサステイン電圧-効率の関係を示したグラフである。

【図6】駆動Bにおける各電極の電位を示す模式図である。

【図7】1つの放電ギャップを有するサステイン電極と複数の放電ギャップを有するサステイン電極との比較を示す説明図である。

【図8】本発明のプラズマディスプレイパネルの電極構成の実施例1を示す平面図である。

【図9】本発明のプラズマディスプレイパネルの電極構成の実施例2を示す平面図である。

【図10】実施例2の放電の抑制部分を示す説明図である。

【図11】本発明のプラズマディスプレイパネルの電極構成の実施例3を示す平面図である。

【図12】本発明のプラズマディスプレイパネルの電極構成の実施例4を示す平面図である。

【図13】本発明のプラズマディスプレイパネルの電極構成の実施例5を示す平面図である。

【図14】本発明のプラズマディスプレイパネルの電極構成の実施例6を示す平面図である。

【図15】本発明のプラズマディスプレイパネルの電極構成の実施例7を示す平面図である。

【図16】本発明のプラズマディスプレイパネルの電極構成の実施例8を示す平面図である。

【図17】本発明のプラズマディスプレイパネルの電極構成の実施例9を示す平面図である。

【図18】本発明のプラズマディスプレイパネルの電極構成の実施例10を示す平面図である。

【図19】従来のPDPの構成を示す斜視図である。

【図20】従来のPDPの平面図である。

【符号の説明】

10 AC駆動方式の3電極面放電型のPDP

11 前面側の基板

12 透明電極

12a 第1枝電極

12b 第2枝電極

12c 第3枝電極

12d 第4枝電極

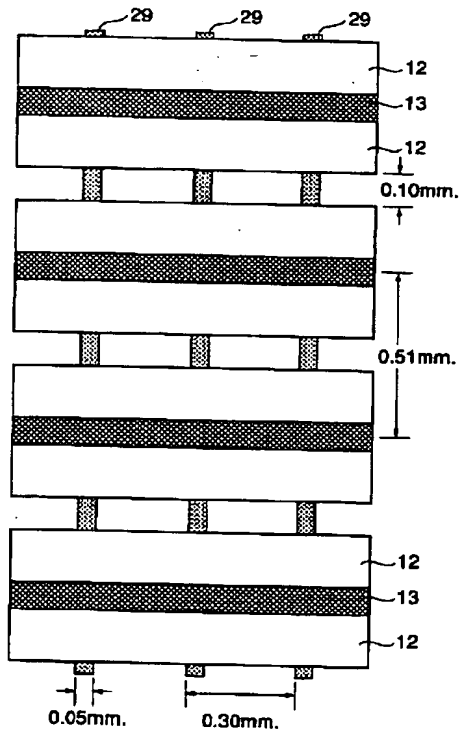
(7)

特開2001-135243

- 11
- 13 金属電極 (バス電極)
 - 14 第3電極部
 - 17 誘電体層
 - 18 保護膜
 - 21 背面側の基板
 - 22 下地層
 - 24 誘電体層
 - 28 R, 28 G, 28 B 蛍光体層
 - 29 隔壁
 - 29 a 放電抑制用の隔壁

【図1】

本発明における放電の発光効率を調べるためのPDPの電極構造を示す平面図



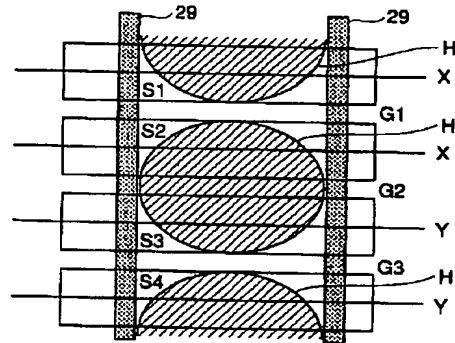
12

- * 29 b 放電区画用の隔壁
- 29 c 空孔
- 30 放電空間
- A アドレス電極
- C セル
- G1, G2, G3, G4, G5 放電ギャップ
- H 放電領域
- L 表示ライン
- X, Y サスティン電極

*10

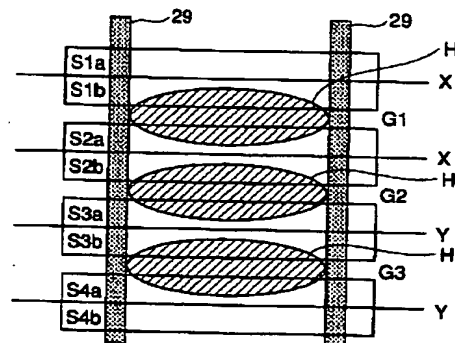
【図2】

本発明における放電の発光効率を調べるための駆動Aを示す説明図

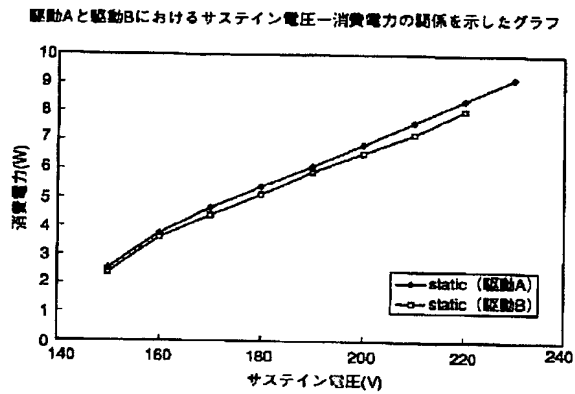


【図3】

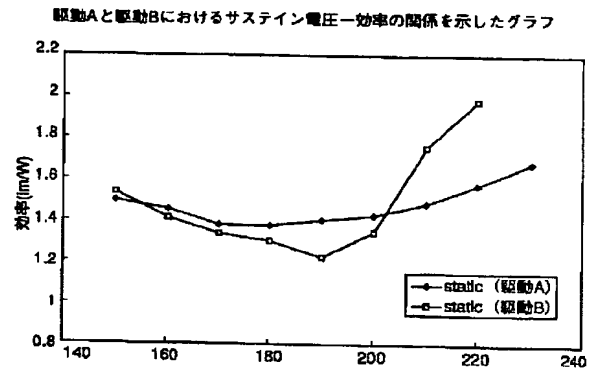
本発明における放電の発光効率を調べるための駆動Bを示す説明図



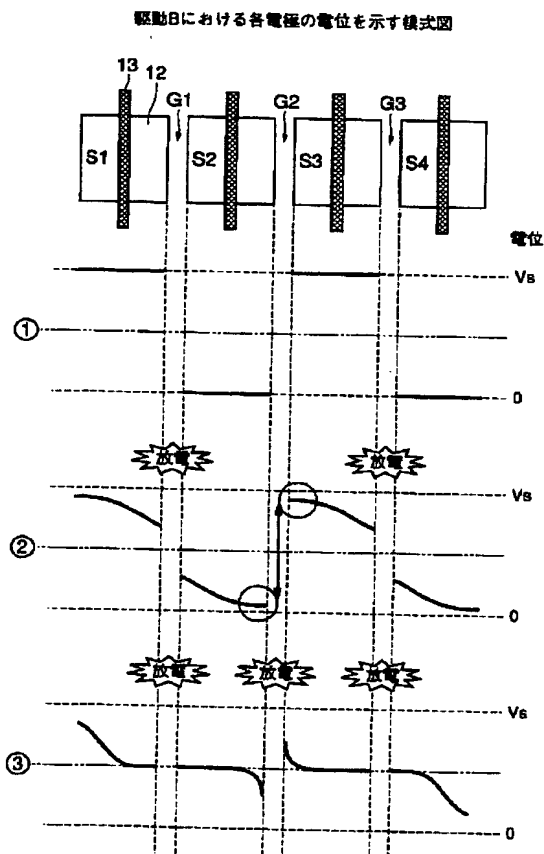
【図4】



【図5】

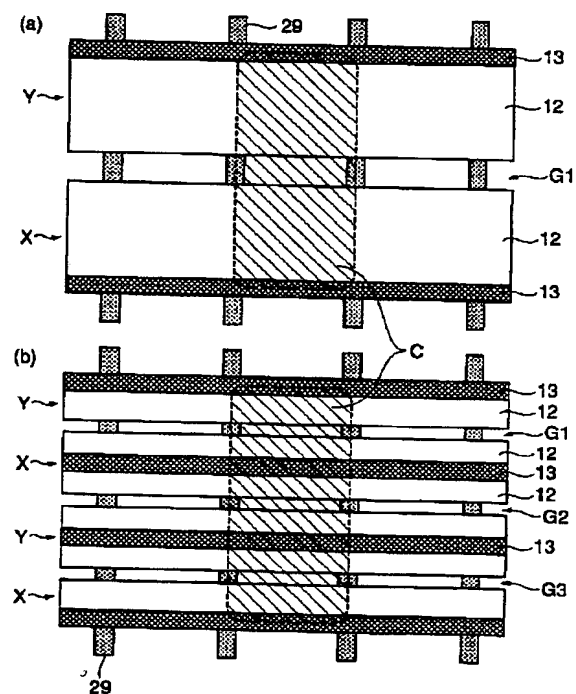


【図6】



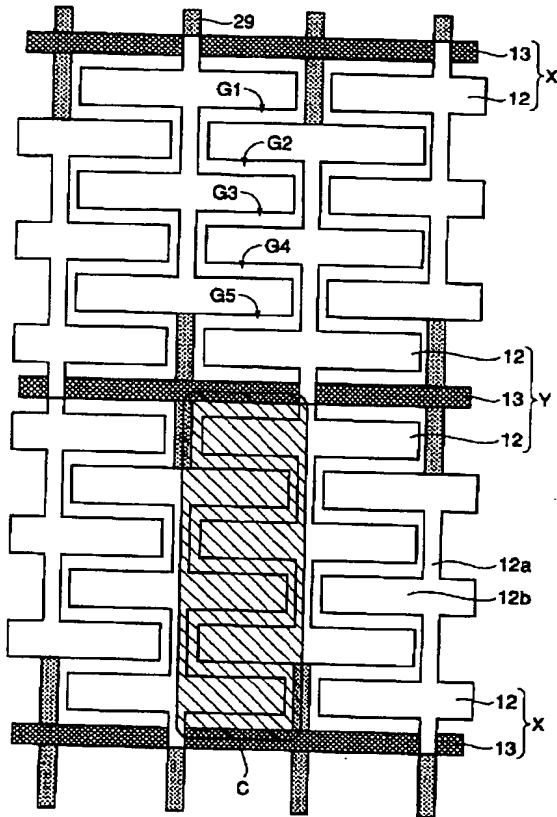
【図7】

1つの放電ギャップを有するサステイン電極と
複数の放電ギャップを有するサステイン電極との比較を示す説明図



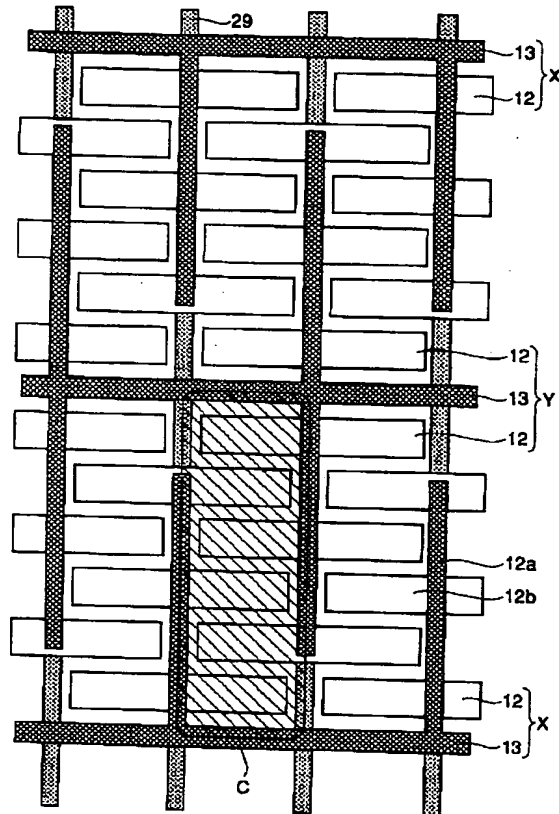
【図8】

本発明のプラズマディスプレイパネルの電極構成の実施例1を示す平面図

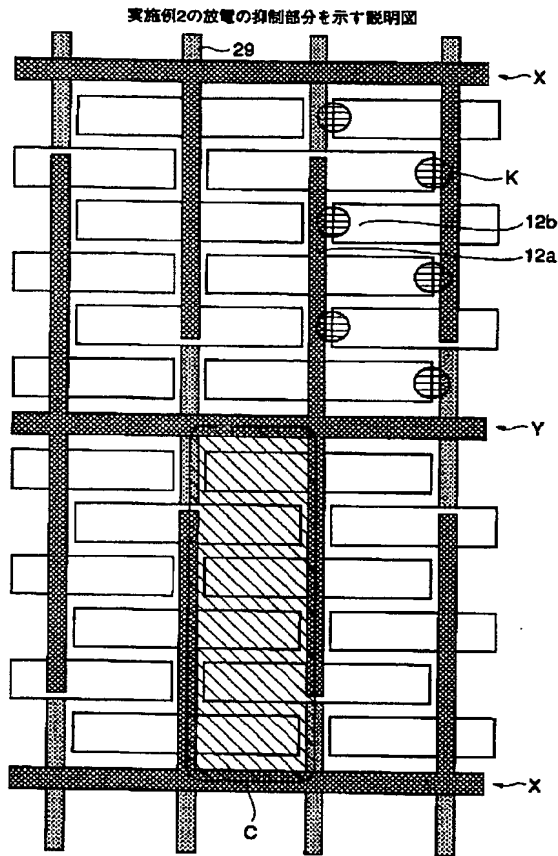


【図9】

本発明のプラズマディスプレイパネルの電極構成の実施例2を示す平面図

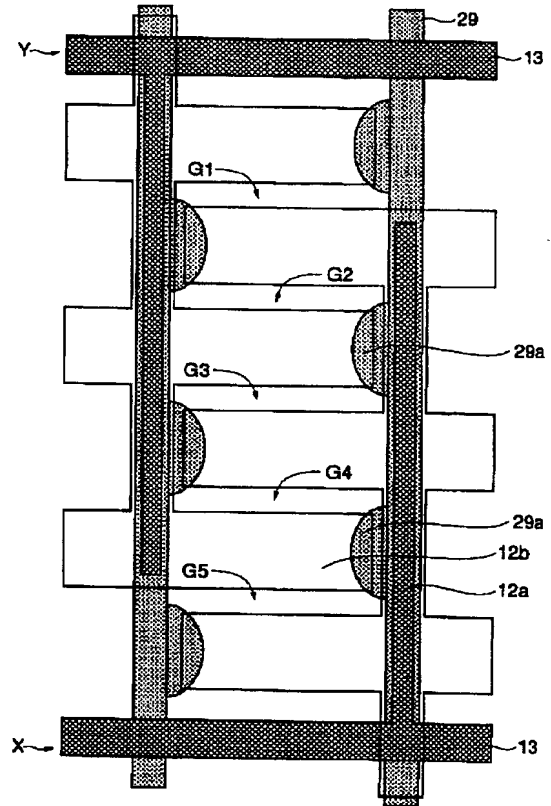


【図10】



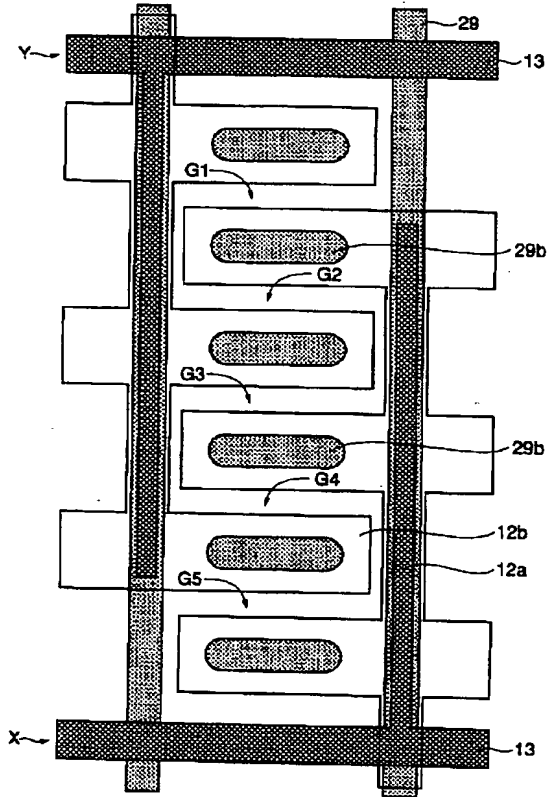
【図11】

本発明のプラズマディスプレイパネルの電極構成の実施例3を示す平面図



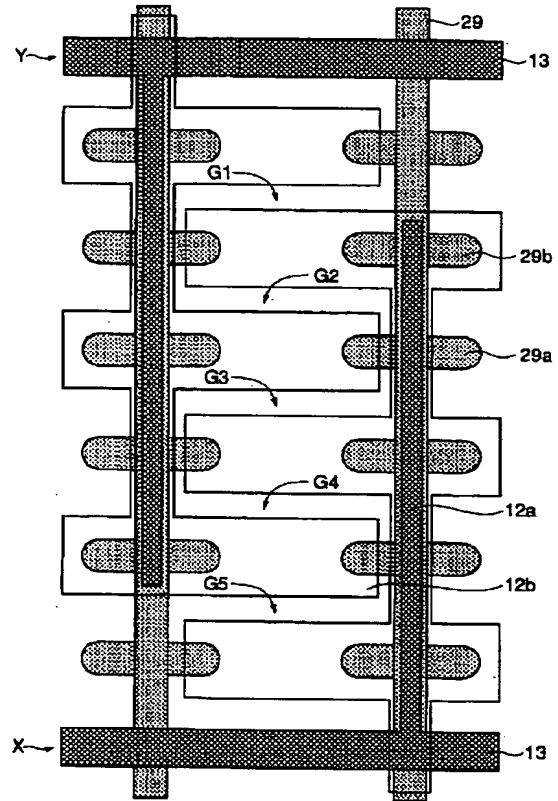
【図12】

本発明のプラズマディスプレイパネルの電極構成の実施例4を示す平面図



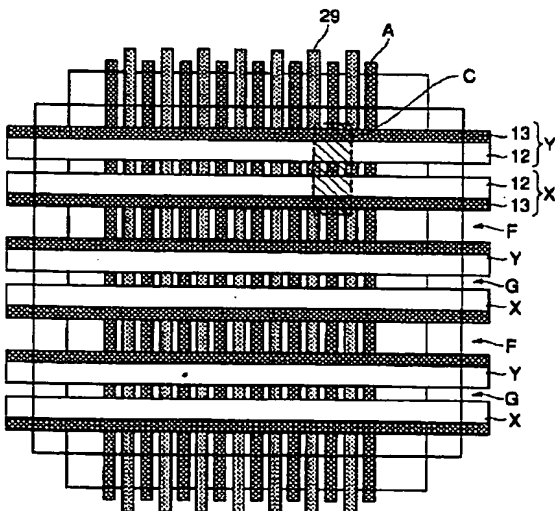
【図13】

本発明のプラズマディスプレイパネルの電極構成の実施例5を示す平面図



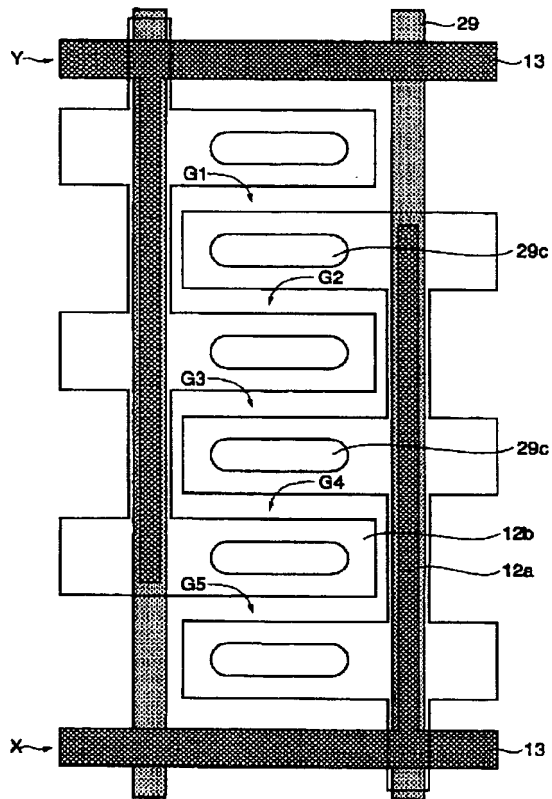
【図20】

従来のPDPの平面図



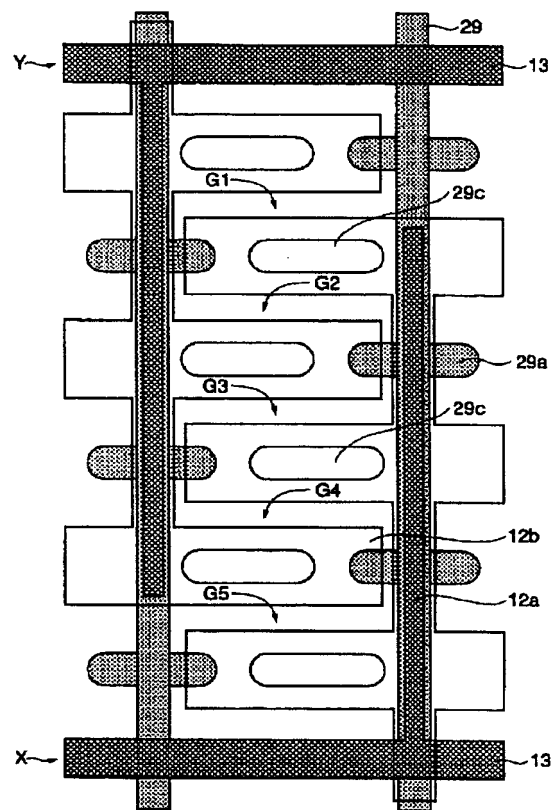
【図14】

本発明のプラズマディスプレイパネルの電極構成の実施例6を示す平面図



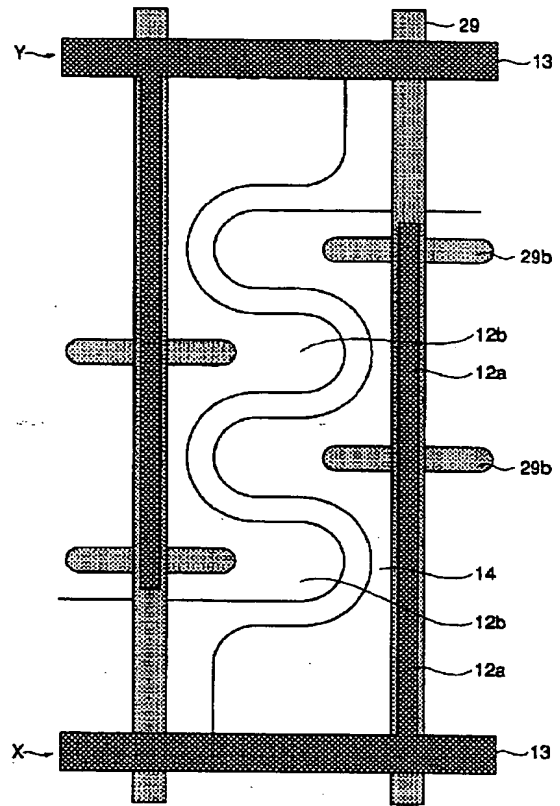
【図15】

本発明のプラズマディスプレイパネルの電極構造の実施例7を示す平面図



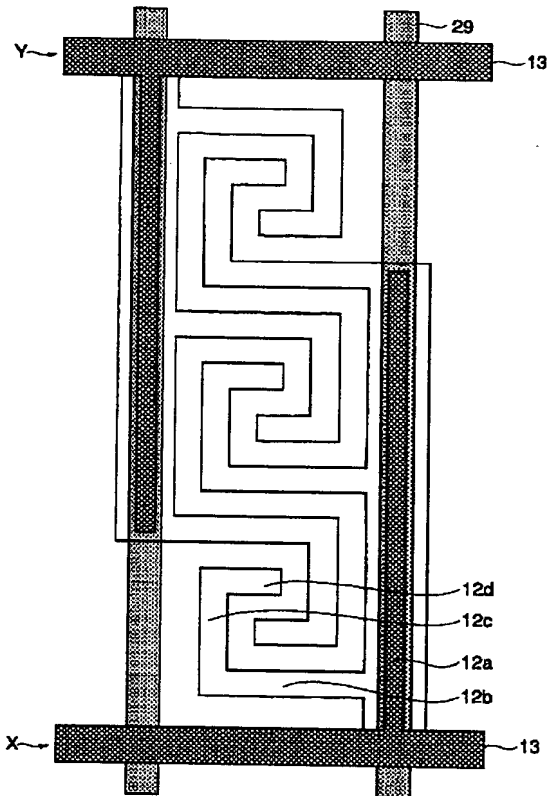
【圖 17】

本発明のプラズマディスプレイパネルの電極構成の実施例9を示す平面図



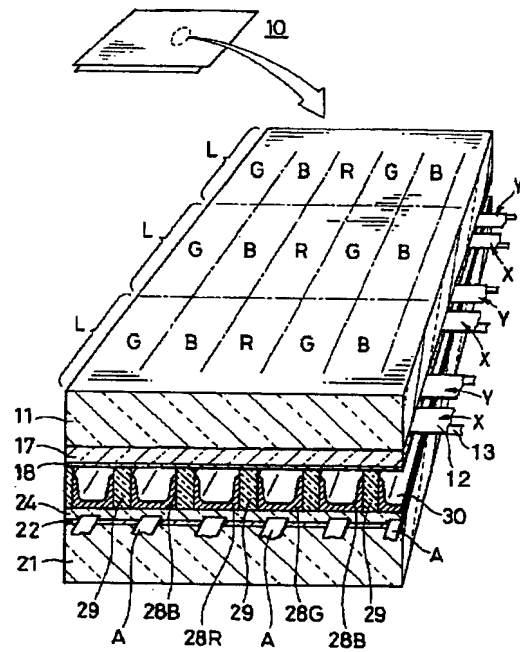
【図18】

本発明のプラズマディスプレイパネルの電極構成の実施例10を示す平面図



【図19】

従来のPDPを示す斜視図



フロントページの続き

F ターム(参考) 5C040 FA01 FA04 GB03 GB14 GC02
 GC05 GC06 GC11 GF02 GF12
 GF16 LA05 LA12 MA03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)